



# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0055008  
Application Number PATENT-2002-0055008

출원년월일 : 2002년 09월 11일  
Date of Application SEP 11, 2002

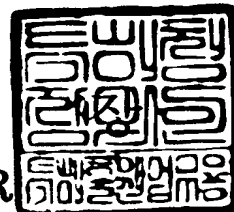
출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      01      월      20      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0027
【제출일자】	2002.09.11
【국제특허분류】	G11C
【발명의 명칭】	클럭 인에이블 신호를 이용한 데이터 경로의 리셋 회로, 리셋 방법 및 이를 구비하는 반도체 메모리 장치
【발명의 영문명칭】	Data path reset circuit, method using clock enable(CKE) signal and, semiconductor memory device having the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	이정배
【성명의 영문표기】	LEE, Jung Bae
【주민등록번호】	670227-1046533
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 진산마을 삼성5차 523-302
【국적】	KR
【발명자】	
【성명의 국문표기】	정원창
【성명의 영문표기】	JUNG, Won Chang
【주민등록번호】	730806-1789711

【우편번호】	449-901
【주소】	경기도 용인시 기흥읍 농서리 산7-1 마로니에동 308호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	19 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	16 항 621,000 원
【합계】	650,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

클럭 인에이블 신호를 이용한 데이터 경로의 리셋 회로, 리셋 방법 및 이를 구비하는 반도체 메모리 장치가 개시된다. 본 발명의 리셋 회로는, 반도체 메모리 장치의 내부 회로를 초기화하기 위한 회로로서, 외부 전압의 레벨을 검출하여 제1 리셋 신호를 발생하는 외부 전압 검출기와 외부로부터 인가되는 소정의 외부 신호와 제1 리셋 신호를 논리 연산하여 제2 리셋 신호를 발생하는 제2 리셋 신호 발생기를 구비한다. 제2 리셋 신호는 반도체 메모리 장치의 데이터 경로에 관련된 소정의 블록을 리셋하는데 사용되고, 제1 리셋 신호는 데이터 경로에 관련된 소정의 블록 이외의 블록들을 리셋하는데 사용된다. 그리고, 제2 리셋 신호를 발생시키기 위해 사용되는 외부 신호는 클럭 인에이블 신호이다. 본 발명에 의하면, 소프트 리셋시 데이터 경로 관련 블록이 리셋된다. 따라서, 소프트 리셋 후에 인가되는 독출/기입 명령시 데이터 충돌이나 무효의 데이터가 발생하는 등의 문제점이 방지된다.

**【대표도】**

도 2

## 【명세서】

## 【발명의 명칭】

클럭 인에이블 신호를 이용한 데이터 경로의 리셋 회로, 리셋 방법 및 이를 구비하는 반도체 메모리 장치{Data path reset circuit, method using clock enable(CKE) signal and, semiconductor memory device having the same}

## 【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 일반적인 반도체 메모리 장치를 개략적으로 나타내는 블록도이다.

도 2는 본 발명의 일 실시예에 따른 리셋 신호 발생회로를 나타내는 블록도이다.

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <4> 본 발명은 반도체 메모리 장치에 관한 것으로서, 특히, 동기식 반도체 메모리 장치에서 데이터 경로(data path)의 리셋에 관한 것이다.
- <5> 동기식 반도체 메모리 장치의 리셋 방식에는 크게 하드 리셋(hard reset)과 소프트 리셋(soft reset)이 있다. 동기식 반도체 메모리 장치가 컴퓨터 시스템에 장착되는 경우를 가정하자. 컴퓨터 시스템의 전원을 켜다가 다시 켜면, 동기식 반도체 메모리 장치에 하드 리셋이 인가되고 이에 수반하여 일련의 시퀀스(sequence)가 수행된다. 반면, 컴퓨터 시스템의 리셋 키 또는 특정 키를 이용하여 컴퓨터 시스템을 리셋하는 경우, 동기

식 반도체 메모리 장치에 소프트 리셋이 인가되고, 이에 수반하여 일련의 시퀀스가 수행된다.

- <6> 클럭 신호에 동기되어 동작하는 동기식 반도체 메모리 장치를 소프트 리셋(soft reset)시키는 경우 외부 전압(VCC)의 레벨이 충분히 0V로 내려가지 않을 수 있다. 즉, 외부 전압이 완전히 0V가 되었다가 일정 레벨로 회복되는 것이 아니라 외부 전압의 레벨이 거의 내려가지 않을 수도 있다. 반면, 하드 리셋(hard reset)의 경우는 외부 전압(VCC)이 0V 수준으로 내려갔다가 다시 회복된다.
- <7> 대부분의 DRAM(Dynamic Random Access Memory)은 하드 리셋(hard reset)의 경우 외부 전압(VCC)의 레벨을 감지하여 DRAM의 모든 내부 노드들을 완전히 리셋하기 위한 제어 신호를 발생한다. 그러나, 외부 전압(VCC)의 변동이 거의 없이 인가되는 소프트 리셋의 경우에는 외부 전압(VCC)을 감지하여 내부 노드를 리셋시키는 것이 어렵다.
- <8> 현재의 이중 데이터율(Double Data Rate, 이하 DDR이라 함) SDRAM의 사양에서는 데이터 경로(data path)가 동작하고 있는 도중에 소프트 리셋(클럭 인에이블 신호(CKE)를 로우레벨로 인가)을 수행하는 것을 막고 있지만, 데이터 경로(data path)가 동작하고 있는 도중에 소프트 리셋을 발생하고자 하는 경우에는, 데이터 경로 관련 제어 신호가 리셋되어 있지 않으면 다음 명령으로 독출(read) 명령 또는 기입(write) 명령이 인가되면 데이터 충돌 등의 문제가 발생할 여지가 있다.
- <9> 그런데, 종래에는 외부 전압이 변동되는 하드 리셋시에는 원하는 내부 회로의 리셋이 수행되었으나, 외부 전압의 별 변동이 없는 소프트 리셋의 경우에는 내부 회로의 리셋이 제대로 이루어지지 않았다. 따라서, 소프트 리셋이 인가된 후에도 데이터 출력이 계속되는 등 오동작의 여지가 있었다.

<10> 한편, 소프트/하드 리셋시 항상 클럭 인에이블 신호(CKE)를 로직 로우레벨로 인가하는 것이 현재의 DDR SDRAM의 사양이다. 따라서, 클럭 인에이블 신호(CKE)가 로우레벨 일 때, 출력 드라이버를 포함한 데이터 경로 관련 제어신호를 리셋시켜 준다면 다음 명령을 수행할 때 데이터 충돌 등의 문제가 발생되지 않는다.

**【발명이 이루고자 하는 기술적 과제】**

<11> 따라서 본 발명이 이루고자 하는 기술적 과제는 소프트 리셋시 데이터 경로 관련 블록 및 제어 신호를 리셋하여 다음 명령을 오류없이 수행토록 하는 회로 및 방법, 이를 구비하는 반도체 메모리 장치를 제공하는 것이다.

**【발명의 구성 및 작용】**

<12> 상기 기술적 과제를 달성하기 위한 본 발명의 리셋 신호 발생회로는, 반도체 메모리 장치의 내부 회로를 초기화하기 위한 회로로서, 외부 전압의 레벨을 검출하여 제1 리셋 신호를 발생하는 외부 전압 검출기; 및 외부로부터 인가되는 소정의 외부 신호와 상기 제1 리셋 신호를 논리 연산하여 제2 리셋 신호를 발생하는 제2 리셋 신호 발생기를 구비하며, 상기 제2 리셋 신호는 상기 반도체 메모리 장치의 데이터 경로에 관련된 소정의 블록을 리셋하는데 사용되는 것을 특징으로 한다.

<13> 바람직하기로는, 상기 제1 리셋 신호는 상기 데이터 경로에 관련된 소정의 블록 이외의 블록들을 리셋하는데 사용된다.

<14> 또한 바람직하기로는, 상기 외부 신호는 클럭 인에이블 신호이고, 상기 제2 리셋 신호 발생기는 상기 클럭 인에이블 신호에 응답하여 소정 구간 동안 제1 로직 레벨이 되

는 펄스 신호를 발생하는 자동 펄스 발생기; 및 상기 펄스 신호와 상기 제1 리셋 신호를 논리합하여 상기 제2 리셋 신호를 출력하는 논리합 게이트를 포함한다.

<15>       상기 기술적 과제를 달성하기 위한 본 발명의 반도체 메모리 장치는 메모리셀 어레이; 로우 어드레스 신호에 응답하여 상기 메모리셀 어레이의 워드라인을 선택하여 활성화하는 로우 디코더; 칼럼 어드레스 신호에 응답하여 상기 메모리셀 어레이의 칼럼라인을 선택하는 칼럼 디코더; 상기 메모리셀 어레이로부터 출력되는 데이터를 감지 증폭하는 데이터 라인 센스앰프; 상기 메모리셀 어레이로 데이터를 입력하기 위한 데이터 라인 드라이버; 상기 데이터 라인 센스앰프로부터 출력되는 데이터를 데이터 입출력 패드를 통해 출력하기 위한 데이터 출력부; 상기 데이터 입출력 패드로부터 입력되는 데이터를 상기 데이터 라인 드라이버로 전달하는 데이터 입력부; 어드레스 신호 및 명령어 신호에 응답하여 다수의 제어 신호들을 발생하는 제어 로직부; 및 외부 전압 및 소정의 외부 신호에 응답하여 제1 및 제2 리셋 신호를 발생하는 리셋 신호 발생회로를 구비하며, 상기 데이터 출력부의 일부 또는 전부는 상기 제2 리셋 신호에 응답하여 리셋되는 것을 특징으로 한다.

<16>       바람직하기로는, 상기 리셋 신호 발생회로는 상기 외부 전압의 레벨을 검출하여 상기 제1 리셋 신호를 발생하는 외부 전압 검출기; 및 외부 신호의 하나인 클럭 인에이블 신호와 상기 제1 리셋 신호를 논리 연산하여 제2 리셋 신호를 발생하는 제2 리셋 신호 발생기를 포함한다.

<17>       상기 기술적 과제를 달성하기 위한 본 발명의 반도체 메모리 장치의 리셋 방법은 (a) 외부 전압의 레벨을 검출하여 제1 리셋 신호를 발생하는 단계; (b) 외부로부터 인가되는 소정의 외부 신호와 상기 제1 리셋 신호를 논리 연산하여 제2 리셋 신호를 발생하



는 단계; (c) 상기 제2 리셋 신호에 응답하여 데이터 경로에 관련된 소정의 블록을 리셋하는 단계; 및 (d) 상기 제1 리셋 신호에 응답하여 상기 데이터 경로에 관련된 블록 외의 소정의 블록들을 리셋하는 단계를 구비한다.

<18> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<19> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<20> 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기 전에 소프트 리셋이 인가될 때 반도체 메모리 장치의 상태를 생각해보면 다음과 같다. 반도체 메모리 장치의 상태는, 1. 프리차아지(precharge) 상태, 2. 뱅크 액티브(bank active) 상태, 3. 독출/기입 상태, 4. 자동 리프레쉬(auto refresh) 상태, 5. 셀프 리프레쉬(self refresh) 상태 또는 6. 파워 다운 상태 중의 어느 하나이다.

<21> 소프트 리셋이 인가될 때 클럭 인에이블 신호(CKE)는 로우레벨로 인가된다. 소프트 리셋의 경우 외에 반도체 메모리 장치의 노말(normal) 동작에서도 클럭 인에이블 신호(CKE)가 로우레벨로 인가될 수 있다. 클럭 인에이블 신호(CKE)가 로우레벨로 인가된 경우에, 소프트 리셋인지 노말 상태인지 구별할 수 없다. 따라서, 노말 동작에 영향을 주지 않기 위해서는 로우레벨의 클럭 인에이블 신호(CKE)를 받아 데이터 경로 관련 블록 및 제어 신호만 리셋시키는 것이 바람직하다. 왜냐하면 DDR SDRAM의 노말 동작에서, 클럭 인에이블 신호(CKE)는 데이터 경로가 동작하지 않을 때만 로우레벨로 인가될 수 있기 때문이다.

<22>       상기 반도체 메모리 장치의 상태들 중 1, 2 및 4의 경우에는, 이미 데이터 경로 관련 제어신호가 리셋되어 있다. 따라서, 로우레벨의 클럭 인에이블 신호(CKE)에 의해 다시 리셋되더라도 문제가 없다. 상기 반도체 메모리 장치의 상태들 중 5와 6의 경우에는, 이미 클럭 인에이블 신호(CKE)가 로우레벨로 인가되어 있다. 따라서, 1, 2 및 4의 경우와 마찬가지로 이미 데이터 경로 관련 제어신호가 리셋되어 있으므로 문제가 없다. 따라서, 로우레벨의 클럭 인에이블 신호(CKE)를 받아 데이터 경로 관련 블락 및 제어신호를 리셋시키더라도 노말 동작에는 영향을 주지 않는다.

<23>       그러므로, 본 발명은 외부로부터 입력되는 클럭 인에이블 신호(CKE)를 사용하여 데이터 경로 관련 블락 및 제어 신호를 리셋하기 위한 리셋 신호를 발생한다.

<24>       도 1은 본 발명의 일반적인 반도체 메모리 장치를 개략적으로 나타내는 블록도이다. 반도체 메모리 장치에서 메모리셀 어레이(100)는 로우 라인(통상 워드라인이라 함)과 칼럼 라인(통상 비트라인이라 함)이 교차하는 지점들에 배열되는 다수의 메모리셀들을 포함한다. 각 메모리셀에는 한 비트의 데이터가 저장될 수 있다. 로우 디코더(120)는 외부로부터 입력되는 어드레스 신호(ADDR) 중 로우 어드레스 신호에 응답하여 메모리셀 어레이(100)의 다수의 워드라인들 중 하나의 워드라인을 선택하여 활성화한다. 칼럼 디코더(130)는 칼럼 어드레스 신호에 응답하여 메모리셀 어레이의 다수의 칼럼라인들 중 데이터가 입/출력될 칼럼라인을 선택한다.

<25>       데이터 라인 센스앰프(data line sense amplifier)(140)는 메모리셀 어레이로(100)부터 비트라인을 통하여 데이터 라인으로 출력되는 데이터를 감지 증폭한다. 데이터 라인 센스앰프(140)에 의해 감지 증폭된 데이터는 데이터 출력부(150)를 경유하여 데이터

입출력 패드(180)를 통해 외부로 출력된다. 데이터 출력부(150)는 내부 데이터를 외부로 출력하기 위해 드라이빙하는 데이터 출력 드라이버(154)와, 데이터 라인 센스앰프(140)에서 출력되는 데이터를 데이터 출력 드라이버(154)로 전달하고 데이터 출력 드라이버(154)를 제어하는 데이터 출력 로직부(152)를 포함한다.

<26>        데이터 입출력 패드(180)를 통하여 외부로부터 입력되는 데이터는 데이터 입력부(170)와 데이터 라인 드라이버(160)를 통해 메모리셀 어레이(100)에 기입된다. 데이터 입력부(170)는 데이터 입출력 패드(180)로부터 입력되는 외부 데이터를 내부로 전달하기 위해 버퍼링 또는 드라이빙하는 데이터 입력 드라이버(174), 데이터 입력 드라이버(174)로부터 출력되는 데이터를 데이터 라인 드라이버(160)로 전달하고 데이터 입력 드라이버(174)를 제어하는 데이터 입력 로직부(172)를 포함한다. 제어 로직부(110)는 외부로부터 입력되는 어드레스 신호(ADDR) 및 명령어 신호(CMD)에 응답하여 로우 디코더(120), 칼럼 디코더(130), 데이터 라인 센스앰프(140) 및 데이터 라인 드라이버(150)를 포함하여 내부 회로를 제어하기 위한 다수의 제어 신호들을 발생한다.

<27>        본 발명의 반도체 메모리 장치는 도 1에 도시된 통상적인 반도체 메모리 장치의 구성 블록들 외에 리셋 신호 발생회로를 더 구비한다.

<28>        도 2는 본 발명의 일 실시예에 따른 리셋 신호 발생회로(200)를 나타내는 블록도이다. 이를 참조하면, 본 발명의 일 실시예에 따른 리셋 신호 발생회로(200)는 DRAM의 내부 회로의 리셋을 위해 두 가지의 정보를 사용한다. 즉, 리셋 신호 발생회로(200)는 외부 전압(VCC)과 클럭 인에이블 신호(CKE)를 이용하여 DRAM의 소정의 블록 및 제어 신호들을 리셋시키기 위한 하나 이상의 리셋 신호를 발생한다.

- <29> 이를 위하여, 리셋 신호 발생 회로(200)는 외부 전압 검출기(210), 클럭 인에이블 신호 버퍼(220), 자동 펄스 발생기(230) 및 논리합 게이트(240)를 구비한다.
- <30> 외부 전압 검출기(210)는 외부 전압(VCC)의 레벨을 감지하여 제1 리셋 신호(RESET1)를 발생한다. 외부 전압 검출기(210)는 외부 전압(VCC)이 충분히 하이레벨이 될 때까지 하이레벨의 제1 리셋 신호(RESET1)를 발생한다. 제1 리셋 신호(RESET1)는 데이터 경로를 제외한 다른 블록 및 제어 신호를 초기화하는데 사용된다. 외부 전압 검출기(210)는 외부 전압(VCC)이 충분히 하이레벨이 된 후에는 제1 리셋 신호(RESET1)를 로우레벨로 되게 함으로써, 리셋 동작을 중단시킨다. 외부 전압(VCC)은 하드 리셋시 충분히 로우레벨로 내려가므로, 외부 전압 검출기(210)는 하드 리셋의 인가 여부를 감지하여 내부 블록 및 노드를 리셋시키는 역할을 한다.
- <31> 클럭 인에이블 신호 버퍼(220)는 외부로부터 입력되는 클럭 인에이블 신호(CKE)를 버퍼링하여 내부 신호로 변환한다. 자동 펄스 발생기(230)는 클럭 인에이블 신호(CKE)의 하강 에지(falling edge)에 동기되어, 소정 구간 동안 하이레벨이 되는 펄스 신호(PUL)를 발생한다. 논리합 게이트(240)는 자동 펄스 발생기(230)에서 출력되는 펄스 신호(PUL)와 외부 전압 검출기(210)에서 출력되는 제1 리셋 신호(RESET1)를 논리합(OR)하여 제2 리셋 신호(RESET2)를 발생한다.
- <32> 따라서, 제2 리셋 신호(RESET2)는 외부 전압(VCC)이 로우레벨로 내려가거나, 클럭 인에이블 신호(CKE)가 로우레벨이 되면, 소정시간 하이레벨이 된다. 제2 리셋 신호(RESET2)는 데이터 경로에 관련된 소정의 블록을 리셋시키는데 사용된다.
- <33> 데이터 경로에 관련된 소정의 블록은 데이터 출력부(도 1의 150)의 일부 또는 전부를 포함할 수 있는데, 데이터 출력 드라이버(도 1의 154)를 포함하는 것이 바람직하다.

또한, 데이터 입력부(170)의 일부 또는 전부를 포함할 수도 있다. 데이터 경로 관련 블록을 리셋한다는 것은 데이터 경로 관련 블록의 내부 노드들 및/또는 데이터 경로 관련 블록을 제어하기 위한 제어신호를 초기화한다는 것을 의미한다.

- <34> 하드 리셋의 경우에는, 제1 및 제2 리셋 신호(RESET1, RESET2)가 모두 발생된다. 따라서, 데이터 경로 관련 블록 및 다른 내부 블록들이 초기화된다. 반면, 소프트 리셋의 경우에는 제2 리셋 신호(RESET2)만 발생되므로, 데이터 경로 관련 블록들만 초기화된다.
- <35> 제2 리셋 신호(RESET2)를 사용하여 모든 블록의 내부 노드를 초기화하지 못하는 이유는 소프트 리셋이 아닌 정상적인 파워 다운 동작 시에도 클럭 인에이블 신호(CKE)가 로우레벨로 될 수 있기 때문이다. 즉, 이 경우 모드 레지스터 셋(Mode Register Set) 등 반도체 장치의 모드를 결정하는 내부 노드가 클럭 인에이블 신호(CKE)의 로우레벨에 의해 리셋될 수 있고, 그러면 정상적인 회로의 동작이 불가능한 문제가 발생할 수 있기 때문이다. 따라서, 본 발명에서는 클럭 인에이블 신호를 이용한 리셋은 반도체 메모리 장치의 특정 블록에 대하여만 제한적으로 사용된다.
- <36> 상술한 바와 같이, 본 발명에서는 반도체 장치의 내부 회로를 리셋하기 위하여 두 개의 리셋 신호가 발생된다. 하나(제1 리셋 신호)는 데이터 경로 관련 특정 블록을 리셋하는데 사용되고, 다른 하나(제2 리셋 신호)는 데이터 경로 관련 특정 블록 외의 내부 블록을 리셋하는데 사용된다. 하드 리셋시에는 두 개의 리셋 신호가 모두 발생되어 모든 내부 회로가 초기화된다. 그리고, 소프트 리셋 인가시에는 하나의 리셋 신호(제1 리셋 신호)만 발생되어 데이터 경로 관련 특정 블록만 초기화된다. 상기와 같은 리셋 방식을

사용함으로써, 노말 동작에는 영향을 주지 않으면서, 소프트 리셋 후 다음 독출/기입 명령 수행시 오류 발생 가능성을 방지한다.

<37>      본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

<38>      본 발명에 의하면, 소프트 리셋시 소정 레벨로 인가되는 외부 신호를 이용하여 데이터 경로 관련 블록이 리셋된다. 따라서, 소프트 리셋 후에 인가되는 독출/기입 명령시 데이터 충돌이나 무효의 데이터가 발생하는 등의 문제점이 방지된다.

**【특허청구범위】****【청구항 1】**

반도체 메모리 장치의 내부 회로를 초기화하기 위한 리셋 신호 발생회로에 있어서,  
외부 전압의 레벨을 검출하여 제1 리셋 신호를 발생하는 외부 전압 검출기; 및  
외부로부터 인가되는 소정의 외부 신호와 상기 제1 리셋 신호를 논리 연산하여 제2  
리셋 신호를 발생하는 제2 리셋 신호 발생기를 구비하며,

상기 제2 리셋 신호는 상기 반도체 메모리 장치의 데이터 경로에 관련된 소정의 블  
락을 리셋하는데 사용되는 것을 특징으로 하는 반도체 메모리 장치의 리셋 신호 발생회  
로.

**【청구항 2】**

제 1 항에 있어서, 상기 제1 리셋 신호는

상기 데이터 경로에 관련된 소정의 블록 이외의 블록들을 리셋하는데 사용되는 것  
을 특징으로 하는 리셋 신호 발생회로.

**【청구항 3】**

제 1 항에 있어서, 상기 외부 신호는

클럭 인에이블 신호인 것을 특징으로 하는 리셋 신호 발생회로.

**【청구항 4】**

제 3 항에 있어서, 상기 제2 리셋 신호 발생기는

상기 클럭 인에이블 신호에 응답하여 소정 구간 동안 제1 로직 레벨이 되는 펄스  
신호를 발생하는 자동 펄스 발생기; 및

상기 펄스 신호와 상기 제1 리셋 신호를 논리합하여 상기 제2 리셋 신호를 출력하는 논리합 게이트를 포함하는 것을 특징으로 하는 리셋 신호 발생회로.

**【청구항 5】**

제 3 항에 있어서, 상기 데이터 경로에 관련된 소정의 블록은

메모리셀로부터 출력되어 감지된 데이터를 패드를 통하여 외부로 출력하기 위해 드라이빙하는 데이터 출력 드라이버를 포함하는 것을 특징으로 하는 리셋 신호 발생회로.

**【청구항 6】**

제 5 항에 있어서, 상기 데이터 경로에 관련된 소정의 블록은

상기 패드를 통하여 외부로부터 입력되는 데이터를 드라이빙하는 데이터 입력 드라이버를 더 포함하는 것을 특징으로 하는 리셋 신호 발생회로.

**【청구항 7】**

제 3 항에 있어서, 상기 데이터 경로에 관련된 소정의 블록은

메모리셀부터 출력되는 데이터를 감지 증폭하는 데이터 라인 센스앰프의 출력단으로부터 데이터 입출력 패드에 이르기까지의 경로상에 위치하는 데이터 출력 회로의 일부 또는 전부를 포함하는 것을 특징으로 하는 리셋 신호 발생회로.

**【청구항 8】**

메모리셀 어레이;

로우 어드레스 신호에 응답하여 상기 메모리셀 어레이의 워드라인을 선택하여 활성화하는 로우 디코더;



칼럼 어드레스 신호에 응답하여 상기 메모리셀 어레이의 칼럼라인을 선택하는 칼럼 디코더;

상기 메모리셀 어레이로부터 출력되는 데이터를 감지 증폭하는 데이터 라인 센스 앰프;

상기 메모리셀 어레이로 데이터를 입력하기 위한 데이터 라인 드라이버;

상기 데이터 라인 센스앰프로부터 출력되는 데이터를 데이터 입출력 패드를 통해 출력하기 위한 데이터 출력부;

상기 데이터 입출력 패드로부터 입력되는 데이터를 상기 데이터 라인 드라이버로 전달하는 데이터 입력부;

어드레스 신호 및 명령어 신호에 응답하여 다수의 제어 신호들을 발생하는 제어 로직부; 및

외부 전압 및 소정의 외부 신호에 응답하여 제1 및 제2 리셋 신호를 발생하는 리셋 신호 발생회로를 구비하며,

상기 데이터 출력부의 일부 또는 전부는 상기 제2 리셋 신호에 응답하여 리셋되는 것을 특징으로 하는 반도체 메모리 장치.

#### 【청구항 9】

제 8 항에 있어서, 상기 리셋 신호 발생회로는

상기 외부 전압의 레벨을 검출하여 상기 제1 리셋 신호를 발생하는 외부 전압 검출기; 및

외부 신호의 하나인 클럭 인에이블 신호와 상기 제1 리셋 신호를 논리 연산하여 제2 리셋 신호를 발생하는 제2 리셋 신호 발생기를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 10】**

제 9 항에 있어서, 상기 제2 리셋 신호 발생기는

상기 클럭 인에이블 신호에 응답하여 소정 구간 동안 제1 로직 레벨이 되는 펄스 신호를 발생하는 자동 펄스 발생기; 및

상기 펄스 신호와 상기 제1 리셋 신호를 논리합하여 상기 제2 리셋 신호를 출력하는 논리합 게이트를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 11】**

제 9 항에 있어서, 상기 제2 리셋 신호는

상기 데이터 입력부의 일부 또는 전부를 리셋하는데도 사용되는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 12】**

반도체 메모리 장치의 내부 회로를 리셋하는 방법에 있어서,

(a) 외부 전압의 레벨을 검출하여 제1 리셋 신호를 발생하는 단계;

(b) 외부로부터 인가되는 소정의 외부 신호와 상기 제1 리셋 신호를 논리 연산하여 제2 리셋 신호를 발생하는 단계;

(c) 상기 제2 리셋 신호에 응답하여 데이터 경로에 관련된 소정의 블록을 리셋하는 단계; 및

(d) 상기 제1 리셋 신호에 응답하여 상기 데이터 경로에 관련된 블록 외의 소정의 블록들을 리셋하는 단계를 구비하는 반도체 메모리 장치의 리셋 방법.

【청구항 13】

제 12 항에 있어서, 상기 외부 신호는

클럭 인에이블 신호인 것을 특징으로 하는 반도체 메모리 장치의 리셋 방법.

【청구항 14】

제 13 항에 있어서, 상기 (b) 단계는

상기 클럭 인에이블 신호에 응답하여 소정 구간 동안 제1 로직 레벨이 되는 펄스 신호를 발생하는 단계; 및

상기 펄스 신호와 상기 제1 리셋 신호를 논리합하여 상기 제2 리셋 신호를 출력하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 리셋 방법.

【청구항 15】

제 13 항에 있어서, 상기 데이터 경로에 관련된 소정의 블록은

메모리셀로부터 출력되어 감지된 데이터를 패드를 통하여 외부로 출력하기 위해 드라이빙하는 데이터 출력 드라이버를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 리셋 방법.

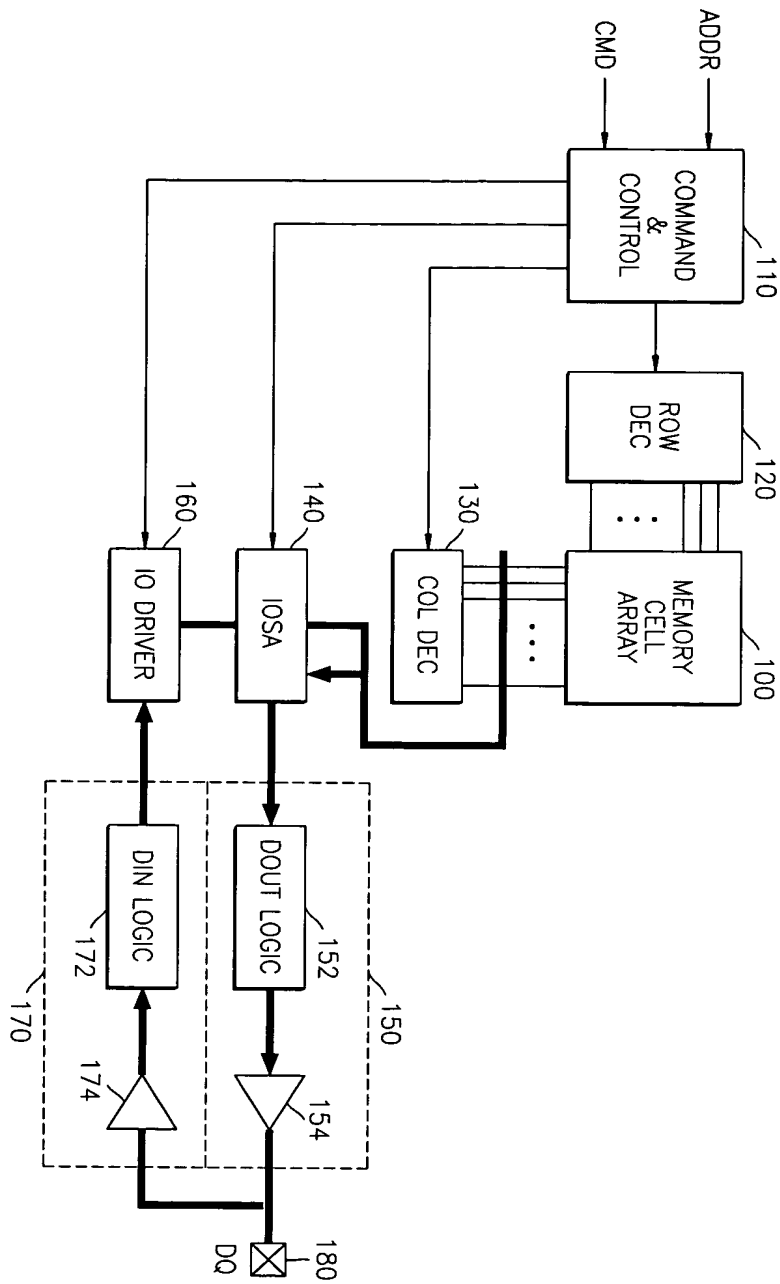
【청구항 16】

제 13 항에 있어서, 상기 데이터 경로에 관련된 소정의 블록은

메모리셀부터 출력되는 데이터를 감지 증폭하는 데이터 라인 센스앰프의 출력단으로부터 데이터 입출력 패드에 이르기까지의 경로상에 위치하는 데이터 출력 회로의 일부 또는 전부를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 리셋 방법.

【도면】

【도 1】



【도 2】

